



**Europäisches
Patentamt**

**European
Patent Office**

**Office européen
des brevets**

Bescheinigung

Certificate

Attestation

Die angehefteten Unterla-
gen stimmen mit der
ursprünglich eingereichten
Fassung der auf dem näch-
sten Blatt bezeichneten
europäischen Patentanmel-
dung überein.

The attached documents
are exact copies of the
European patent application
described on the following
page, as originally filed.

Les documents fixés à
cette attestation sont
conformes à la version
initialement déposée de
la demande de brevet
européen spécifiée à la
page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

03425017.5

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk

THIS PAGE BLANK (USPT)



Anmeldung Nr:
Application no.: 03425017.5
Demande no:

Anmeldetag:
Date of filing: 15.01.03
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

STMicroelectronics S.r.l.
Via C. Olivetti, 2
20041 Agrate Brianza (Milano)
ITALIE
OVONYX Inc.
1090 Boeing Street
Boise,
Idaho 83705
ETATS-UNIS D'AMERIQUE

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.
If no title is shown please refer to the description.
Si aucun titre n'est indiqué se référer à la description.)

Process for manufacturing a memory device, in particular a phase change memory,
including a silicidation step

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)
revendiquée(s)
Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/
Classification internationale des brevets:

G11C13/00

Am Anmeldetag benannte Vertragstaaten/Contracting states designated at date of
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HU IE IT LU MC NL
PT SE SI SK TR LI

THIS PAGE BLANK (USPTO)

PROCEDIMENTO PER LA FABBRICAZIONE DI UN DISPOSITIVO DI
MEMORIA, IN PARTICOLARE UNA MEMORIA A CAMBIAMENTO DI
FASE, INCLUDENTE UNA FASE DI SILICIURIZZAZIONE

5 La presente invenzione riguarda un procedimento
per la fabbricazione di un dispositivo di memoria, in
particolare una memoria a cambiamento di fase, inclu-
dente una fase di siliciurizzazione.

 Come è noto, le celle di memoria a cambiamento di
10 fase utilizzano una classe di materiali che hanno la
proprietà singolare di essere commutabili in modo re-
versibile tra una prima ed una seconda fase aventi ca-
ratteristica elettrica distinta misurabile, associata a
ciascuna fase. Ad esempio, questi materiali possono
15 cambiare fra una fase amorfa, disordinata, ed una fase
cristallina o policristallina, ordinata. Una proprietà
del materiale che può cambiare e fornire un'indicazione
di ciascuna fase è la resistività del materiale, che è
considerevolmente differente nei due stati.

20 Attualmente, leghe di elementi del VI gruppo della
tavola periodica, quali Te o Se, anche chiamati calco-
genuri o materiali calcogenici, possono essere utiliz-
zati vantaggiosamente in celle a cambiamento di fase.
Il calcogenuro che attualmente è più promettente è for-
25 mato da una lega di Ge, Sb e Te ($\text{Ge}_2\text{Sb}_2\text{Te}_5$), che è at-

tualmente ampiamente utilizzata per immagazzinare informazioni in dischi sovrascrivibili.

Nei calcogenuri, la resistività varia di due o più ordini di grandezza quando il materiale passa dalla fase amorfa (più resistiva) a quella policristallina (più conduttiva) e viceversa, come mostrato in figura 1. Inoltre, nella fase amorfa, la resistività dipende notevolmente anche dalla temperatura, con variazioni di un ordine di grandezza ogni 100°C , con un comportamento simile a quello dei materiali semiconduttori di tipo P.

Il cambiamento di fase può essere ottenuto aumentando localmente la temperatura, come mostrato in figura 2. Al di sotto di 150°C , entrambe le fasi sono stabili. Al di sopra di 200°C (indicata come T_x , temperatura di inizio nucleazione), si ha una rapida nucleazione dei cristalliti e, se il materiale viene mantenuto alla temperatura di cristallizzazione per un tempo sufficiente (tempo t_2), esso cambia di fase e diviene cristallino. Per riportare il calcogenuro nello stato amorfo, è necessario alzare la temperatura al di sopra della temperatura di fusione T_m (circa 600°C) e quindi raffreddare rapidamente il calcogenuro (tempo t_1).

Dal punto di vista elettrico, è possibile raggiungere entrambe le temperature critiche (di cristallizzazione e di fusione) facendo fluire una corrente attra-

verso un elemento resistivo che riscalda il materiale calcogenico per effetto Joule.

La struttura di base di un elemento di memoria PCM 1 operante secondo i principi sopra descritti è mostrata in figura 3 e comprende un primo elettrodo 2 di tipo resistivo, formante un riscaldatore; un elemento programmabile 3 ed un secondo elettrodo 5. L'elemento programmabile 3 è realizzato con un calcogenuro ed è normalmente nello stato policristallino al termine del trattamento. Una parte dell'elemento programmabile 3 è in contatto diretto con il primo elettrodo 2 e forma la porzione attiva interessata dal cambiamento di fase, chiamata in seguito porzione a cambiamento di fase 4.

E' stato già proposto l'uso dell'elemento PCM 1 di figura 1 per formare celle di memoria. Per evitare disturbi causati da celle di memoria adiacenti, l'elemento PCM 1 è generalmente accoppiato ad un elemento di selezione, quale un transistor MOS o un transistor bipolare.

Inoltre, le celle PCM, formanti una matrice di memoria, devono essere intergrata con una circuiteria che controlla il funzionamento della matrice di memoria. Un procedimento di fabbricazione compatibile con un flusso CMOS standard è stato già proposto nella domanda di brevetto europeo N. 01128461.9 depositata il 5.12.2001

dal titolo "Regione di contatto di area ridotta, cella di memoria a cambiamento di fase ad elevata efficienza e loro metodo di fabbricazione".

Secondo tale procedimento e facendo riferimento
5 alla figura 4, una fetta 10 comprende una porzione di
matrice 50 ed una porzione circuitale 51 ed include un
substrato 7 ed uno strato epitassiale 8. Inizialmente,
la fetta 10 è sottoposta a fasi iniziali di lavorazione
per definire aree attive nello strato epitassiale 8. A
10 tale scopo, all'interno del substrato vengono formate
regioni di isolamento di campo 13, ad esempio usando la
tecnologia a "shallow trench". Quindi, nella porzione
di matrice 50, regioni sepolte di subcollettore 9 di
tipo P⁺ sono impiantate in modo da estendersi fino al
15 substrato 7. Dopo un "annealing", nella porzione cir-
cuitale 51, sono impiantate, usando maschere separate,
sacche N 18 e sacche P 19. Inoltre, viene eseguito il
drogaggio dei canali dei transistori della circuiteria.

In seguito, sull'intera superficie della fetta 10
20 viene cresciuto uno strato di ossido 20 e viene deposi-
tato uno strato di polisilicio. Lo strato di polisili-
cio viene quindi definito, per formare regioni di porta
16 dei transistori di periferia. Dopo la riossidazione
di sorgente e pozzo, vengono eseguiti impianti LDD sia
25 per i transistori di periferia a canale P sia per quel-

li a canale N, per formare regioni leggermente drogate
40 di tipo P e analoghe regioni leggermente drogate 44,
di tipo N.

Quindi sopra la porzione di matrice viene formata
5 una maschera di protezione siliciuro (non mostrata);
uno strato di ossido viene depositato sull'intera fetta
10 e viene attaccato per formare spaziatori 41 sui lati
delle regioni di porta 16; vengono impiantate regioni
di sorgente e pozzo 42 per i transistori di periferia e
10 regioni di siliciuro auto-allineate 43 sono cresciute
sulle regioni porta 16 e sulle regioni di sorgente e
pozzo 42.

Dopo la rimozione della maschera di protezione si-
liciuro, sulle regioni di subcollettore sepolto 9 ven-
15 gono impiantate regioni di collettore 11, di tipo P, e
regioni di base 12, di tipo N; quindi viene deposto uno
strato di nitruro 45.

In seguito viene deposto e planarizzato uno strato
dielettrico 21. Quindi, lo strato dielettrico 21 e lo
20 strato di nitruro 45 sono attaccati dove devono essere
formati i contatti in modo da scoprire porzioni delle
regioni di siliciuro 43 e della regione di base 12.

Quindi, in modo non mostrato, nella regioni di ba-
se 12 vengono impiantate una regione di contatto di ba-
25 se 15, di tipo N⁺, e, in seguito, una regione di emetti-

tore 14, di tipo P'. In tal modo, si ottiene la struttura di figura 4.

In seguito, vengono formati il primo elettrodo 2 e l'elemento programmabile 3 di figura 3, per fornire una
5 area di contatto sublitografica.

La domanda di brevetto europeo N. 02425605.9 depositata l'8.10.2002, descrive un layout estremamente compatto per una matrice di transistori bipolari operanti come elementi di selezione. In base a questo
10 layout precedente, gli elementi di selezione sono implementati come effettivi transistori bipolari e ciascuna regione di base è condivisa da almeno due transistori bipolari adiacenti, come visibile dal layout delle maschere in figura 5 e dalla sezione del dispositivo
15 di figura 6.

Come mostrato nelle figure 5 e 6, in cui le varie regioni sono state identificate con gli stessi numeri di riferimento usati in figura 4, la porzione di matrice 50 alloggia una pluralità di strisce di area attiva
20 60 che si estendono parallelamente fra loro in una prima direzione (direzione X), secondo la maschera di area attiva 30 di figura 5. Ciascuna striscia di area attiva 60 alloggia una regione di base 12 in modo che ciascuna regione di base 12 è isolata elettricamente dalle re-
25 gioni di base adiacenti 12 tramite porzioni di isola-

mento di campo 13 (figura 4).

Ciascuna regione di base 12 alloggia una pluralità di regioni di emettitore 14 (formate utilizzando una maschera di emettitore 32 di figura 5) e una pluralità di regioni di contatto di base 15, di tipo N^+ (formate utilizzando una maschera opposta alla maschera di emettitore 32); come si nota, nella sezione trasversale di figura 6, le regioni di emettitore 14 e le regioni di contatto di base 15 sono disposte in modo alternato.

10 Come inoltre visibile dalla figura 6, i contatti 22, 23 si estendono in aperture 27a, 27b della regione dielettrica 21, formate usando una maschera contatti 31, mostrata in figura 5.

I contatti 22 si estendono dalle regioni di emettitore 14 fino ad un elemento di immagazzinamento calcogenico 24 formante l'elemento di programmabile 3 di figura 3. Linee di bit 25 si estendono lungo una seconda direzione (direzione Y) e sono in contatto con gli elementi di immagazzinamento calcogenici 24.

20 I contatti 23 si estendono dalle regioni di contatto di base 15 fino a linee di parola 26 estendentisi nella direzione X.

La fabbricazione di una matrice PCM avente il layout descritto nella domanda di brevetto europea 25 02425605.9 utilizzando il processo descritto nella do-

manda di brevetto europeo 01128461.8 solleva alcuni problemi. Infatti, se si cresce un siliciuro sulle strisce di area attiva 12 della porzione di matrice 50 durante la siliciurizzazione della porzione di circuitaria 51, questo siliciuro causa un corto-circuito fra tutte le regioni di contatto di base 14 e le regioni di emettitore 15 disposte nella stessa regione di base 12, e questo deve essere evitato. D'altra parte, è svantaggiosa la realizzazione della maschera di protezione siliciuro con un ossido sacrificale, come nei processi standard.

Infatti, la maschera di protezione siliciuro deve essere completamente rimossa dopo la siliciurizzazione per consentire il deposito dello strato di nitruro 45 e quindi per aprire cosiddetti contatti borderless nelle strisce di area attiva 60 della porzione di matrice 50. Lo strato di nitruro 45 è necessario per aumentare la selettività dell'attacco nei confronti delle regioni di isolamento di campo 13 durante l'apertura dei contatti nello strato dielettrico 21.

Tuttavia, l'attacco della maschera di protezione siliciuro è molto critico, in quanto esso è un attacco di un ossido che deve terminare sul silicio delle aree attive 60 e sull'ossido delle regioni di isolamento di campo 13. In particolare, questo attacco deve avere una

buona selettività rispetto al silicio in modo da garantire una buona qualità del silicio e deve assicurare l'esatta profondità di impianto delle regioni di emettitore e di contatto di base 14, 15. Inoltre, l'attacco della maschera di protezione siliciuro non deve rimuovere una porzione sensibile delle regioni di isolamento di campo 13, in particolare in vicinanza delle regioni di base 12, per garantire un sufficiente isolamento di queste.

10 Tuttavia, test hanno mostrato che la procedura standard provoca la formazione di crateri nelle regioni di isolamento di campo 13 e una difettosità inaccettabile nella matrice di memoria.

Infatti, considerando una profondità dell'ossido sacrificale di 200-300 nm e imponendo un sovrattacco solo del 10%, necessario per garantire una completa rimozione dell'ossido sacrificale, bisogna preventivare una rimozione di almeno 20-30 nm dell'ossido delle regioni di isolamento di campo 13 sui bordi con le strisce delle regioni di base 12; tuttavia, la rimozione di una tale porzione delle regioni di isolamento di campo 13 può provocare problemi di corto-circuito.

Se si formano spaziatori 41 mediante uno strato doppio ossido-nitrato, si incontrano meno problemi; tuttavia non tutti i processi di fabbricazione dei di-

spositivi di circuiteria richiedono spaziatori fatti di un tale doppio strato e non è desiderabile vincolare il processo di fabbricazione al materiale specifico degli spaziatori.

5 Scopo dell'invenzione è quindi fornire un procedimento di fabbricazione che risolva il problema sopra discusso.

Secondo la presente invenzione viene realizzato un processo per la fabbricazione di un dispositivo elettronico a semiconduttore, come definito nella rivendicazione 1.

Secondo un aspetto dell'invenzione, quando vengono definite le regioni di porta di polisilicio dei transistori di periferia, lo strato di polisilicio e lo strato di ossido di porta sottostante vengono lasciati sulla porzione di matrice e definiscono la maschera di protezione siliciuro. In tal modo, quando la maschera di protezione siliciuro deve essere rimossa, lo strato di ossido di porta opera come strato di stop all'attacco ed evita danni al silicio. D'altra parte, la rimozione dello strato di ossido di porta non provoca una rimozione sostanziale dell'ossido delle regioni di isolamento di campo 13 o un danneggiamento sensibile della superficie dell'area attiva, data la profondità ridotta dello stato di ossido di porta e quindi il sovrattacco

limitato dell'ossido di campo, come sotto descritto in dettaglio.

Per la comprensione della presente invenzione ne viene ora descritta una forma di realizzazione preferita, a puro titolo di esempio non limitativo, con riferimento ai disegni allegati, nei quali:

- la figura 1 mostra la caratteristica corrente-tensione a basso campo di un materiale a cambiamento di fase;

10 - la figura 2 riporta il grafico temperatura-tempo di un materiale a cambiamento di fase;

- la figura 3 mostra la struttura di base di un elemento di memoria PCM;

15 - la figura 4 mostra una sezione trasversale di un dispositivo precedente includente transistori di circuiteria e dispositivi di memoria PCM;

- la figura 5 mostra le maschere utilizzate per una matrice di celle secondo un'altra soluzione precedente;

20 - la figura 6 mostra una sezione trasversale di un dispositivo ottenuto utilizzando le maschere di figura 5, presa lungo la linea VI-VI di figura 5; e

- le figure 7-11 sono sezioni trasversali di una fetta a semiconduttore, in fasi di fabbricazione successive, secondo una forma di realizzazione dell'inven-

25

zione..

In seguito, vengono utilizzati gli stessi numeri di riferimento utilizzati per le parti in comune con il dispositivo precedente di figura 4.

5 In dettaglio, la figura 7 mostra una sezione trasversale di una fetta a semiconduttore 10 presa lungo lo stesso piano di sezione di figura 6. La fetta 10, comprendente una porzione di matrice 50 e una porzione di circuiteria 51, è mostrata dopo la definizione delle
10 le aree attive 60 (che porta alla formazione delle regioni di isolamento di campo 13), la formazione delle regioni sepolte di subcollettore 9, la formazione delle sacche N 18 e delle sacche P 19, e la definizione delle regioni di porta 16.

15 Preferibilmente, le aree attive 60 hanno una forma a striscia derivata dall'uso della maschera di area attiva 30 di figura 5.

Secondo la figura 7, mentre vengono definite le regioni di porta 16, una porzione di polisilicio 16a e
20 una porzione di ossido 20a vengono lasciate sulla superficie della fetta 10 nell'intera porzione di matrice 50, formando in tal modo una prima maschera di protezione siliciuro 52.

Quindi, figura 8, vengono effettuati impianti LDD
25 per formare regioni leggermente drogate 40 e 44, come

nel processo precedente; e uno strato di ossido sacrificale viene depositato sull'intera fetta 10 e viene attaccato anisotropicamente utilizzando una maschera 54 che copre l'intera porzione di matrice 50. Quindi, sui
5 lati delle regioni di porta 16 sono formati spaziatori 41, in modo di per sé noto, e sulla porzione di matrice 50 viene formata una seconda maschera di protezione siliciuro 53 che copre completamente la prima maschera di protezione siliciuro 52 e si estende anche sui lati
10 della prima maschera di protezione siliciuro 52, sopra la porzione di bordo della regione di isolamento di campo 13 che circonda la porzione di matrice 50, come visibile in figura 8.

Dopo la rimozione della maschera 54, figura 9,
15 vengono impiantate le regioni di sorgente e pozzo 42 per i transistori periferici e vengono cresciute regioni di siliciuro 43 sulle regioni di porta 16 e sulle regioni di sorgente e pozzo 42. Nella porzione di matrice 50, la seconda maschera di protezione siliciuro
20 53 impedisce la siliciurizzazione della porzione di polisilicio 16a della prima maschera di protezione siliciuro 52.

Quindi, figura 10, la seconda maschera di protezione siliciuro 53 di ossido sacrificale viene rimossa
25 usando una maschera di resist 55, tramite un attacco ad-

alta selettività che non influenza il polisilicio. In tal modo viene eliminata qualunque difettosità derivante dalle fasi di processo (impianti di preamorfizzazione, trattamenti termici rapidi, e così via) agenti sull'ossido sacrificale. Questo attacco può provocare anche la rimozione dell'ossido della regione di isolamento di campo 13 che circonda la porzione di matrice 50, come mostrato in figura 10; tuttavia, questa rimozione non è critica, come sotto discusso.

10 Usando la stessa maschera di resist 55, viene rimossa la porzione di polisilicio 16a tramite un attacco polisilicio standard (lo stesso usato per la definizione delle regioni di porta) che si ferma sulla porzione di ossido 20a, grazie alla selettività molto buona.

15 Quindi, la superficie del silicio viene pulita, rimuovendo la porzione di ossido 20a. In questa fase, può anche essere rimossa una sottile porzione dell'ossido delle regioni di isolamento di campo 13 nella porzione di matrice 50; tuttavia, per effetto dello spessore ridotto della porzione di ossido 20a (la stessa dell'ossido di porta LV), questa rimozione non pregiudica le proprietà elettriche delle regioni di isolamento di campo 13.

In seguito, come nel procedimento precedente, le
25 regioni di collettore 11 e le regioni di base 12 vengo-

no impiantate sopra le regioni sepolte di subcollettore 9 e viene deposto uno strato di nitruro 45. Viene deposto e planarizzato lo strato dielettrico 21; lo strato dielettrico 21 e lo strato di nitruro 45 sono attaccati dove devono essere formati i contatti in modo da scoprire porzioni delle regioni di siliciuro 43 e delle regioni di base 12; le regioni di contatto di base 15 e le regioni di emettitore 14 sono impiantate nella regione di base 12. In tal modo si ottiene la struttura di figura 11.

Quindi, vengono formati i contatti 22, 23, il primo elettrodo 2 e l'elemento programmabile 3, per fornire un'area di contatto sublitografica. Infine, vengono formate le linee di bit 25 e le linee di parola 26, analogamente alla figura 6.

In pratica, l'uso della prima maschera di protezione siliciuro 52 includente la porzione di polisilicio 16a e la porzione di ossido 20a previene la siliciurizzazione delle aree attive 60 della porzione di matrice 50 e consente la rimozione della prima maschera di protezione siliciuro 52 senza danneggiare le aree attive 60 e senza rimuovere una porzione sostanziale delle regioni di isolamento di campo 13 vicino al bordo delle aree attive.

La soluzione discussa elimina la necessità di mo-

dificare le fasi di fabbricazione necessarie per formare i transistori CMOS così come la necessità di utilizzare particolari processi per la fabbricazione dei transistori.

5 La presenza della seconda maschera di protezione siliciuro 53 sulla prima maschera di protezione siliciuro 52 è vantaggiosa per evitare i problemi correlati all'attacco di una regione di silicio siliciurizzata (porzioni 16a); eventualmente, in presenza di una tecnica
10 soddisfacente per la rimozione dei siliciuri, è possibile fare a meno di una seconda maschera di protezione siliciuro 53. Inoltre, altri materiali sacrificali che impediscono la siliciurizzazione del silicio, per esempio il nitruro, possono essere utilizzati per
15 la seconda maschera di protezione siliciuro 53, se il processo li prevede.

Il layout particolare mostrato nelle figure 9-10, in cui la seconda maschera di protezione siliciuro 53 si estende oltre la prima maschera di protezione siliciuro 52 al di sopra delle regioni di isolamento di
20 campo 13 e la maschera di resist 55 copre il bordo della seconda maschera di protezione siliciuro 53 ma non la prima maschera di protezione siliciuro 52, è particolarmente favorevole in quanto eventuali rimozioni
25 dell'ossido delle regioni di isolamento di campo 13 av-

vengono in una loro porzione centrale, lontana dai bordi di area attiva; perciò tale rimozione non provoca alcun rischio di ridurre le proprietà elettriche delle regioni di isolamento di campo e non può causare corto-circuito delle regioni formate nelle aree attive 60. I crateri formati nelle regioni di isolamento di campo 13 possono infatti essere riempiti semplicemente in qualunque fase di fabbricazione successiva.

Inoltre, la presenza delle porzioni 53' e 53" della seconda maschera di protezione siliciuro 53 sopra le regioni di isolamento di campo 13 non provoca problemi. In particolare, l'altezza delle porzioni rimanenti 53' è comparabile con quella delle regioni di porta 16 e quindi non impedisce il deposito degli strati successivi.

L'eventuale rimozione delle regioni di isolamento di campo 13 vicino al bordo delle regioni attive 60 della porzione di matrice 50 a causa della rimozione della porzione di ossido 20a non è importante; a causa della altezza ridotta della porzione di ossido 20a (ad esempio 7nm), anche considerando un sovrattacco del 100% (un valore molto alto), si ottiene al massimo una rimozione della stessa entità (7 nm) che non dà problemi.

Risulta infine chiaro che alla matrice di celle

qui descritta ed illustrata possono essere apportate numerose modifiche e varianti, tutte rientranti nell'ambito del concetto inventivo, come definito nelle rivendicazioni allegate. In particolare, si sottolinea
5 il fatto che, benché l'invenzione sia stata studiata particolarmente per dispositivi elettronici includenti una matrice PCM, la stessa soluzione può essere applicata ad altri tipi di dispositivi, aventi un corpo a semiconduttore definente una prima porzione che deve
10 essere soggetta a siliciurizzazione ed una seconda porzione che deve essere protetta dalla siliciurizzazione, senza danneggiare le caratteristiche elettriche dell'area attiva della seconda porzione o delle regioni di isolamento formate nella seconda porzione o attorno a
15 questa, durante la rimozione della maschera di protezione siliciuro.

RIVENDICAZIONI

1. Procedimento per la fabbricazione di un dispositivo elettronico a semiconduttore, comprendente:

5 formare un corpo (10) di materiale semiconduttore
avente una porzione di matrice (50) ed una porzione circuitale (51);

formare almeno una regione di isolamento (13) in detto corpo intorno a detta porzione di matrice (51);

10 formare una regione di porta (16) di materiale semiconduttore al di sopra di detta porzione circuitale (51);

formare una prima maschera di protezione siliciuro (52) al di sopra di detta porzione di matrice;

15 siliciurizzare detta regione di porta (16);
e rimuovere detta prima maschera di protezione siliciuro (52);

20 caratterizzato dal fatto che detta fase di formare una prima maschera di protezione siliciuro (52) viene eseguita contemporaneamente a detta fase di formare una regione di porta (16).

2. Procedimento secondo la rivendicazione 1, in cui dette fasi di formare una prima maschera di protezione siliciuro (52) ed una regione di porta (16) comprendono depositare uno strato di polisilicio e rimuovere selettivamente detto strato di polisilicio, in mo-

25

una maschera matrice (54), attaccare anisotropicamente porzioni esposte di detto strato dielettrico, cosicché sia detti spaziatori (41) sia detta seconda maschera di protezione siliciuro (53) sono formati da detto strato
5 dielettrico.

7. Procedimento secondo la rivendicazione 6, in cui detto strato dielettrico (41, 53) è di un materiale scelto fra ossido, nitruro e una sovrapposizione di ossido e nitruro.

10 8. Procedimento secondo una qualsiasi delle rivendicazioni 4-7, comprendente, dopo detta fase di siliciurizzare detta regione di porta (16), rimuovere detta seconda maschera di protezione siliciuro (53).

9. Procedimento secondo la rivendicazione 8, in
15 cui detta seconda maschera di protezione siliciuro (53) ha una porzione di bordo estendentesi su un lato di detta prima maschera di protezione siliciuro (52) al di sopra di detta regione isolante (13), e in cui dette fasi di rimuovere detta prima maschera di protezione
20 siliciuro (52) e rimuovere detta seconda maschera di protezione siliciuro (53) comprendono:

formare una maschera di circuiteria (55) coprente detta porzione di circuiteria (51) e parte di detta regione di isolamento (13) in modo che un bordo di detta
25 maschera di circuiteria (55) si estenda su una porzione

centrale di detta regione di isolamento (13) e su una parte di detta porzione di bordo di detta seconda maschera di protezione siliciuro (53); e

5 attaccare porzioni scoperte di dette prima e seconda maschera di protezione siliciuro (52, 53).

10 10. Procedimento secondo una qualsiasi delle rivendicazioni 1-9, comprendente inoltre, dopo detta fase di rimuovere detta prima maschera di protezione siliciuro (52), formare uno strato borderless di nitruro (45); formare uno strato di isolamento superiore (21) su detto corpo (10); formare aperture (27a, 27b) in detto strato di isolamento superiore e detto strato borderless di nitruro; e impiantare regioni di conduzione (14, 15) in detta porzione di matrice (51).

15 11. Procedimento secondo la rivendicazione 10, comprendente inoltre la fase di formare elementi PCM (1) di materiale calcogenico in detto strato di isolamento superiore (21).

RIASSUNTO

Un processo in cui una regione isolante (13) è formata in un corpo almeno intorno ad una porzione di matrice (51) di un corpo a semiconduttore (10); una regione di porta (16) di materiale semiconduttore è formata al di sopra di una porzione di circuiteria (51) del corpo a semiconduttore (10); una prima maschera di protezione siliciuro (52) viene formata al di sopra della porzione di matrice; la regione di porta (16) e le aree attive (43) della porzione di circuiteria (51) sono siliciurizzate e la prima maschera di protezione siliciuro (52) viene rimossa. La prima maschera di protezione siliciuro (52) è di polisilicio ed è formata simultaneamente alla regione di porta (16). Una seconda maschera di protezione siliciuro (53) di materiale dielettrico coprente la prima maschera di protezione siliciuro (52) viene formata prima della siliciurizzazione della regione di porta (16). La seconda maschera di protezione siliciuro (53) è formata simultaneamente a spaziatori (41) formati lateralmente alla regione di porta (16).

Figure 8-9

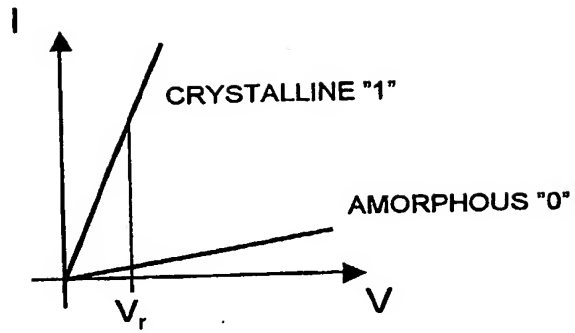


Fig.1

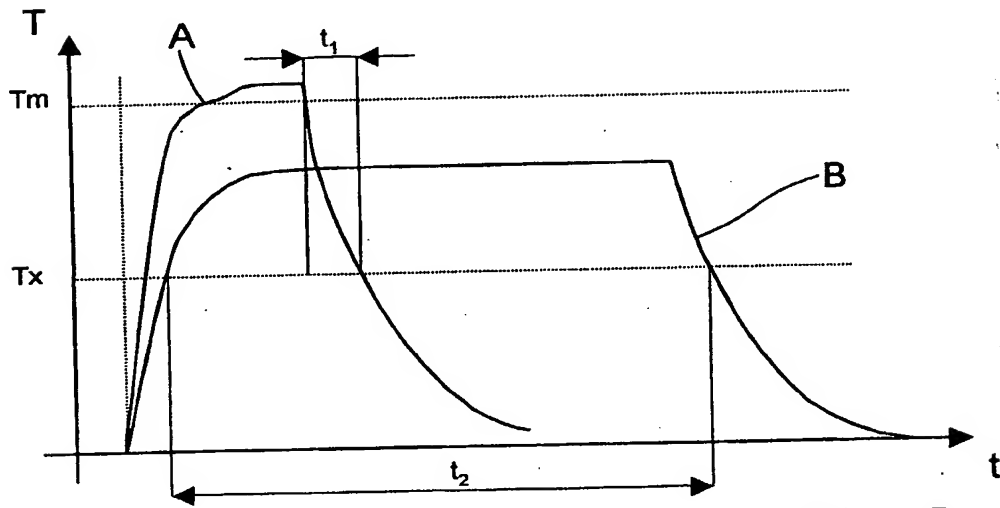


Fig.2

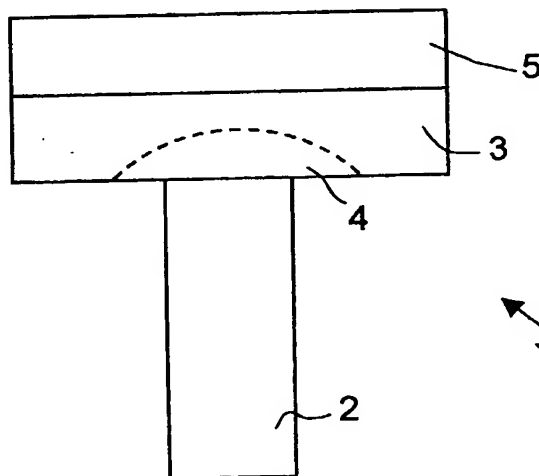


Fig.3

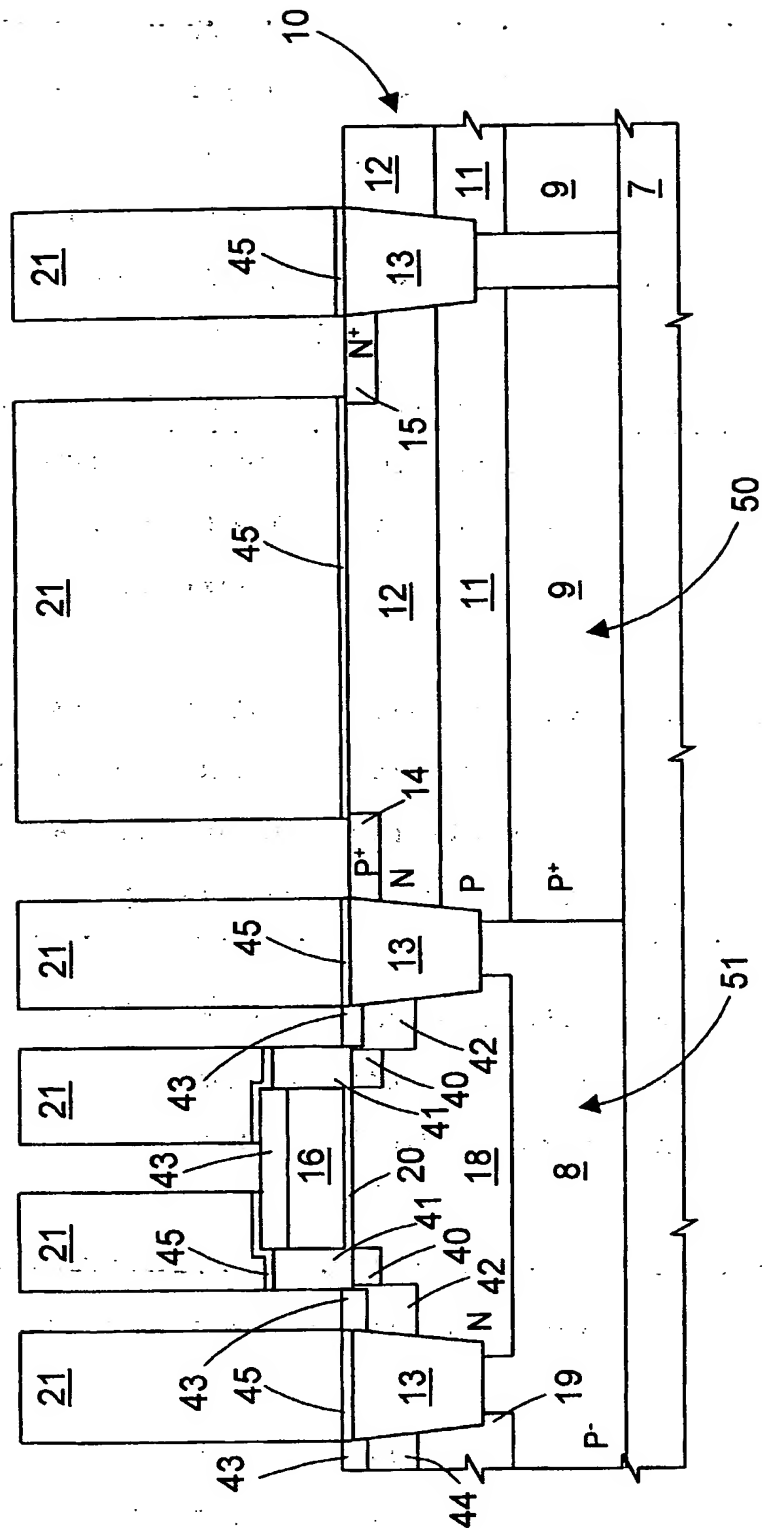
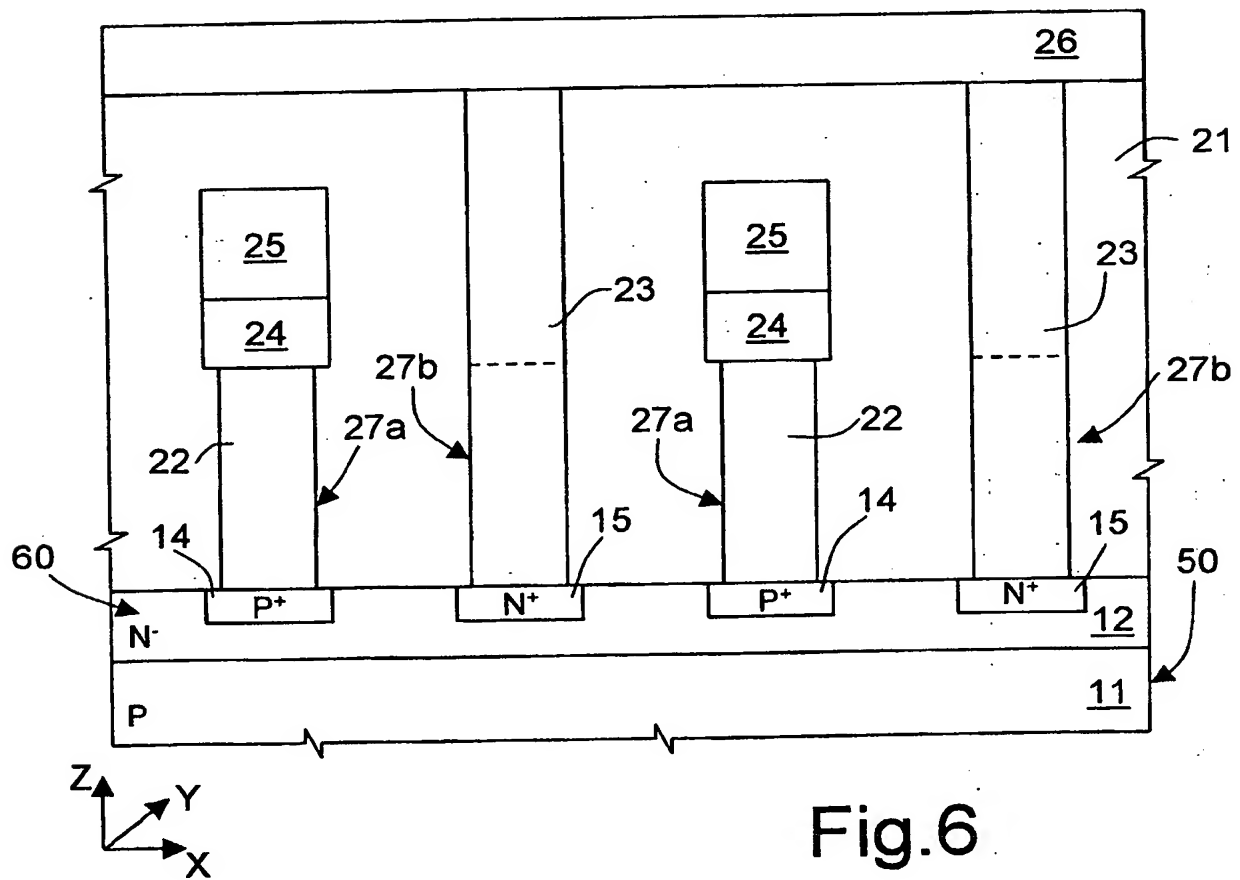
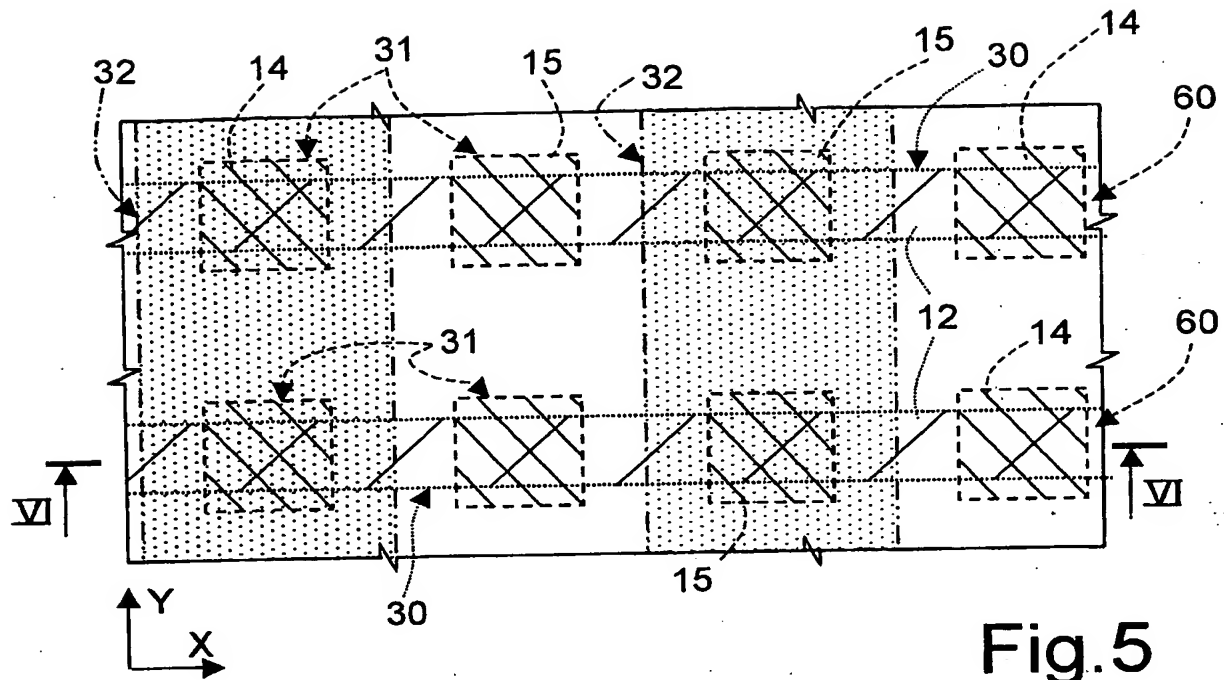


Fig. 4



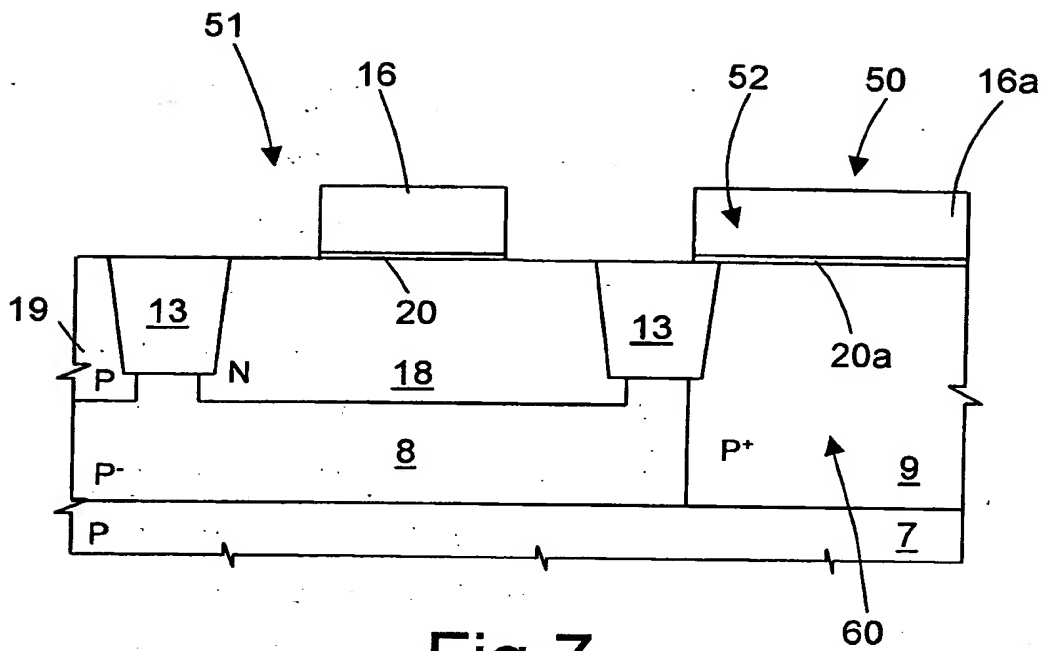


Fig.7

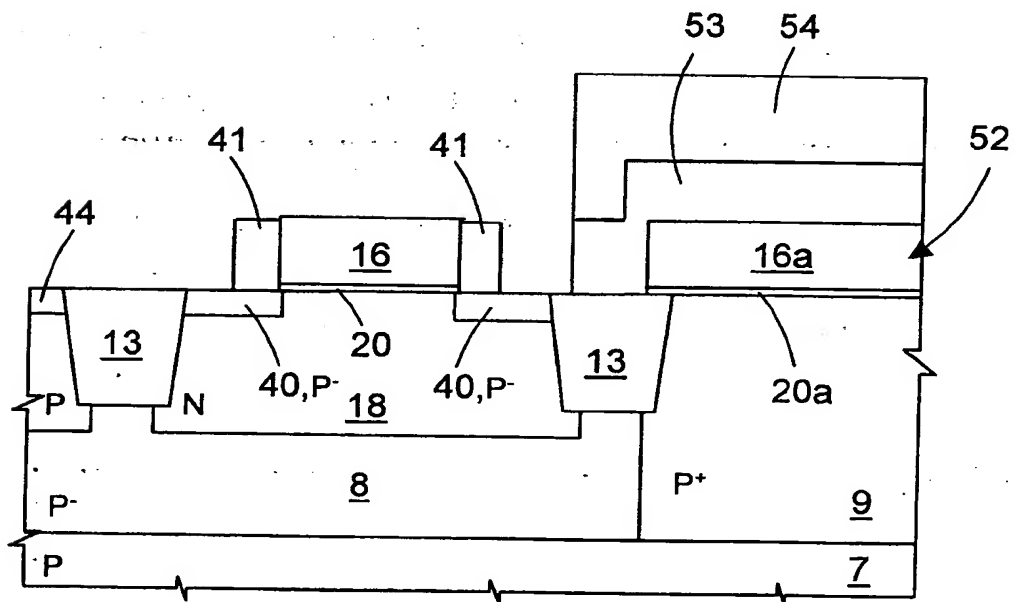


Fig.8

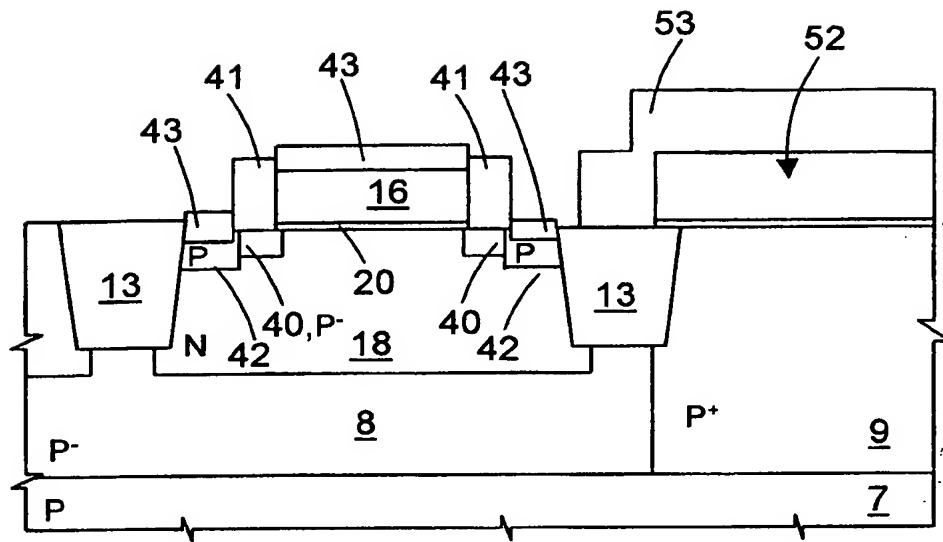


Fig.9

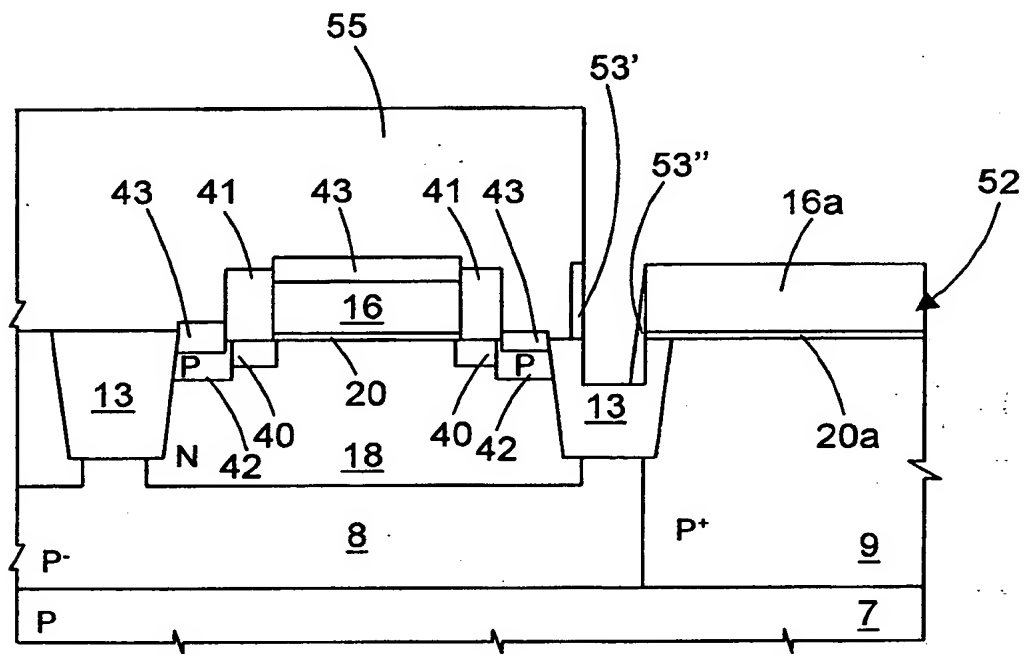


Fig.10

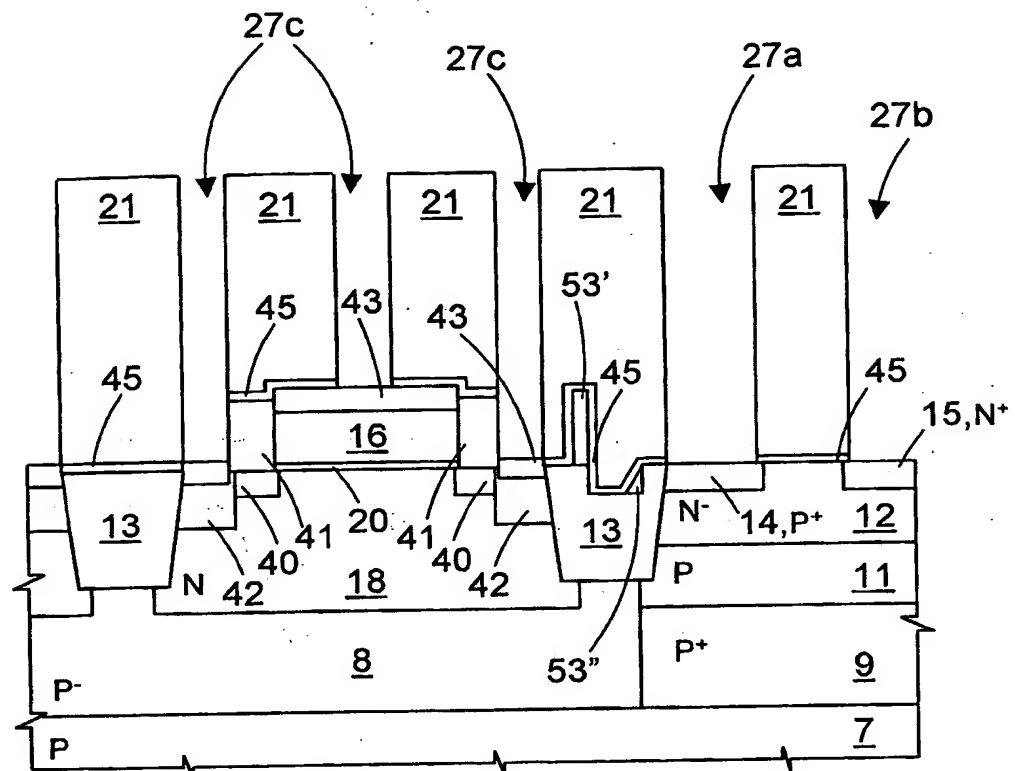


Fig. 11

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

